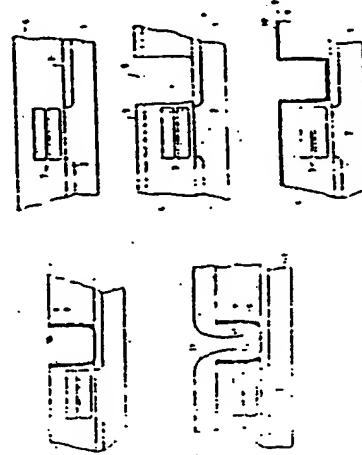


154 SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

(11) 63-288047 (A) (43) 25.11.1988 (09) JP  
(21) Appl. No. 62-123396 (22) 20.5.1987  
(71) TOSHIBA CORP. (72) SEIICHI MORI  
(51) Int. Cl. H01L21/30, H01L21/95

**PURPOSE:** To design a space between a contact hole and a lower-layer electrode layer at an exceedingly small value, and to improve the degree of integration of an element by insulating the contact hole and the lower-layer electrode layer from an upper electrode layer by subsequently deposited three-layer insulating films even when the contact hole and the lower-layer electrode layer are brought extremely near.

**CONSTITUTION:** A semiconductor device is composed of a P-type silicon substrate 1, an N<sup>+</sup> diffusion layer 2, an EEPROM cell 3 (corresponding to a first layer electrode-wiring layer) consisting of two-layer polysilicon and an inter-layer insulating film 4, and photolithography for boring a contact hole 5 is conducted. Three layer films of SiO<sub>2</sub> film 8, Si<sub>3</sub>N<sub>4</sub> film 9, SiO<sub>2</sub> film 10 are deposited respectively in thickness such as 100 Å/120 Å/100 Å through an LPCVD method or low pressure CVD method. The three layer films on the bottom of the contact hole are removed through an etchback method, and an Al layer 11 as a second layer (an upper layer) wiring layer is deposited, and patterned. Accordingly, the structure of two layer polysilicon and one-layer Al layer is completed.



BEST AVAILABLE COPY

## 公開特許公報 (A) 昭63-288047

Int.Cl.  
H 01 L 21/90  
21/95識別記号 執内整理番号  
M-6708-5F  
B-6708-5F  
6708-5F

公開 昭和63年(1988)11月25日

審査請求・有 発明の数 2 (全4頁)

発明の名称 半導体装置及びその製造方法

特願 昭62-123396  
出願 昭62(1987)5月20日発明者 藤 誠一 神奈川県川崎市幸区小向東芝町1番地 株式会社東芝總合  
研究所内

出願人 株式会社東芝 神奈川県川崎市幸区堀川町72番地

代理人 弁理士 鈴江 武彦 外2名

BEST AVAILABLE COPY

## 明 稹 資

## 1. 発明の名称

半導体装置及びその製造方法

## 2. 発明請求の範囲

(1) 2層以上の配線又は電極層を有し、このうちの下層の配線又は電極層の上に電極絶縁層を有し、この電極絶縁層にコンタクトホールが開口され、このコンタクトホールを含み上層の配線又は電極層が設けられた半導体装置において、前記コンタクトホールの裏面部と上層の配線又は電極層との間に  $Si_3N_4/SiO_2/Si_3N_4/SiO_2$  又は  $Si_3N_4/SiO_2/Si_3N_4$  より成る3層絶縁層を有することを特徴とする半導体装置。

(2) 半導体装置上に2層以上の配線又は電極層を有する半導体装置の製造方法において、下層の配線又は電極層を形成する工程と、前記下層の配線又は電極層上に電極絶縁層を形成する工程と、前記電極絶縁層にコンタクトホールを開口する工程と、前記コンタクトホールを含む電極絶縁層上に  $SiO_2/Si_3N_4/SiO_2$  又は

$Si_3N_4/SiO_2/Si_3N_4$  よりなる3層膜を形成する工程と、前記コンタクトホール底部の前記3層膜をエッチャック法により除去し、前記コンタクトホール裏面に前記3層膜を残す工程と、前記コンタクトホールを含み上層の配線又は電極層を埋蔵させる工程とを具備したことを特徴とする半導体装置の製造方法。

## 3. 発明の詳細な説明

## 〔発明の目的〕

## 〔従来上の利用分野〕

本発明は半導体装置の配線層形成を改善した半導体装置及びその製造方法に関するもので、特にコンタクトホールと配線又は電極層の間隙が微細化されている超LSIデバイスに使用されるものである。

## 〔従来の技術〕

従来、超LSIのような微細なデバイスではコンタクトホールと下層の配線または電極層の間隙は、ワットリソグラフィー工程の合せ精度によって決定されており、ある程度以上は小さくで

きない。特に下側の配線又は電極の大きさが大きい場合やコンタクトホールの大きさが小さい場合、コンタクトホールのアスペクト比が大きくなり、その為ニシタクトの大きさを大きくしないと、その上に形成される金属配線が切れを起こす現象が発生する場合があり、コンタクトホールは可能な限り大きくする必要がある。その場合、コンタクトホールと下側配線端部の距離が近づき、コンタクトホール開口部形成する上部配線端と下側配線端とがショートする危険性が増大するので、コンタクトホールと下側配線端の間隔をあまり小さくすることができない。

〔発明が解決しようとする問題〕

上記問題を解決する手段として、コンタクトホール形成後コンタクトホール端面に絕縁層を形成し、たとえコンタクトホール開口時に下側配線端とコンタクトホールが近づいても、後で形成する上部金属端部と下側金属端部がショートしないようにする方法が考えられる。しかし上記技術には、両端子で高い耐熱温度と低欠陥密度さらに

高良化が求められる。上記端面層が厚いとコンタクトホールの大きさが小さくなってしまい、當初デバイスに使用できない。例えば当時のCVD法で堆積させるSiO<sub>2</sub>膜では、高ガス密度も高く、欠陥密度が多いので、十分な信頼性は得られず当然良化も達成できない。

本発明は、下側配線又は電極端と、コンタクトホール開口部に形成する上部配線端との間に、薄くかつ信頼性の高い絕縁膜を堆積させることにより、コンタクトホールと下側配線又は電極端との間の距離をできるだけ短くして、電子の高集成化を達成するものである。

〔発明の構成〕

〔問題点を解決するための手段と作用〕

本発明は、下側配線又は電極端を形成後、端口部絶縁層を形成し、次に、この端部絶縁層にコンタクトホールを開口し、その後、上部の電極又は配線端を堆積する前に時短のSiO<sub>2</sub>、Si<sub>3</sub>N<sub>4</sub>／SiO<sub>2</sub>又はSi<sub>3</sub>N<sub>4</sub>／SiO<sub>2</sub>／Si<sub>3</sub>N<sub>4</sub>の3層膜を堆積させる。上記コンク

クトホール底部の上記3層膜を除くした後、上方の電極又は配線端を形成することによって、上記上側と下側の配線又は電極端は、たとえコンタクトホール開口時にコンタクトホールと下側配線端が互に近づいてしまっていても、次に形成する3層絶縁層によって上部配線端とは離される。また上記3層膜は、欠陥密度が低く耐熱温度も大きいので、焼成化が可能で、その為、コンタクトホールの大きさが小さくなってしまうことも最小限に抑えられる。これによりコンタクトホールと下側配線端の距離は、従来よりも大幅に小さく設計できる為、電子の高集成化が可能となるものである。

〔実施例〕

以下図面を参照して本発明の一実施例を説明する。第1図ないし第5図は当実施例の製造工程図であるが、これは本発明を、第一層目の電極層の膜さが薄いEPROM(紫外線消去型PROM)に適用した場合の例である。第1図はコンタクトホールを形成する前の一般的なEPROMの断面

図で、1はP形シリコン基板、2はN+拡散層で、3は2層ポリシリコンよりなるEPROMセル(第一層目の電極・記憶層に相当)、4は電極絶縁層である。その後コンタクトホール開口のためのフォトリソグラフィーを行う。第2図に示すようにレジスト5を塗布し、フォトリソグラフィー工程によりレジスト5のパターニングを行ない、RIE(リアクティブ・イオン・エッティング)法によりコンタクトホール6を開口する。この場合、コンタクトホール6とポリシリコン3層の距離が長いので、部分7でポリシリコン電極3の端面の絶縁層が非常に薄くなっている。このまま第2層目(上層)の例えはA上部配線端を堆積させれば当該のA上部配線端とポリシリコン電極3は絶縁層中の欠陥層によりショートしてしまうは寧が想す。そこで第3図に示すように例えはLPCVD法(ローブレッシャCVD法)によりSiO<sub>2</sub>膜6／Si<sub>3</sub>N<sub>4</sub>膜9／SiO<sub>2</sub>膜10の3層膜を例えば、それぞれ100／120·100nmを堆積させる。この3層膜の欠陥密度は通常0.01cm<sup>-2</sup>

以下で、高界格度は絶性によらずある30V以上、20V印加時のリーク電流も  $10^{-10} \text{ A}/\text{cm}^2$  以下である。

上記3層膜と同様の特性は  $\text{Si}_3\text{N}_4/\text{SiO}_2/\text{Si}_3\text{N}_4$  の組み合わせでも実現できる。

次に第4図に示すようにエッチング法によりコンタクトホール底部の3層膜を除去した後、第5図に示すように第2層目(上層)の記号目となるA上部11を削り、バーニングする。これにより2層ボリシリコンと1層A上部の構造が実現した。

本発明によると、従来下部電極とコンタクトホール間の距離を1μm程度に設計しなければならなかったのが、大幅に縮小できる。理論的には0.5μmとしてもショートは起こらないが、どこまで小さくできるかは、下層の絶縁層又は記号層の用途や目的等にも左右される。これにより高集成化が可能となると同時に、従来生じていた記号層間のショートを大幅に低減できる。

10— $\text{SiO}_2$  膜、11—A上部記号。

出願人代理人 井汲士 河江武彦

なお本発明は3層膜のみに限らず4層以上が可能である。例えば本実施例では第1層にボリシリコン、第2層にA上部を用いた場合について述べたが、これに限定されないことはもちろんである。

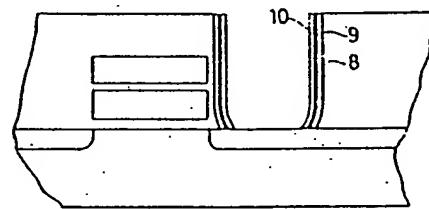
#### 【発明の効果】

以上説明した如く本発明によれば下部電極又は電極部と、コンタクトホール部口部に形成する上部記号層との間に、よくかつ低絶性の高いビオ膜を構成させることにより、コンタクトホールと下部電極又は電極部との間の距離をできるだけ小さくして、電子の高集成化を達成することができるものである。

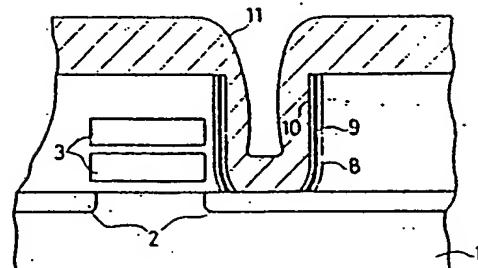
#### 4. 図面の簡単な説明

第1図ないし第5図は本発明の一実施例の剖面工芸説明図である。

1—P型シリコン基板、2—P+拡散層、3—2層ボリシリコン層、4—1層電極膜、5—フェトリスト、6—コンタクト開口部、7—開口となる溝、8— $\text{SiO}_2$  膜、9— $\text{Si}_3\text{N}_4$  膜、



第4図



第5図

BEST AVAILABLE COPY

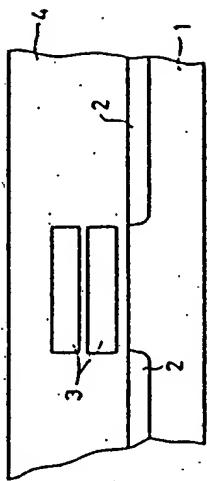


図 1

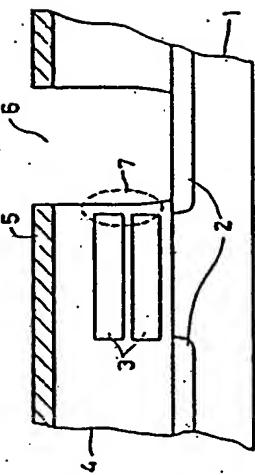


図 2

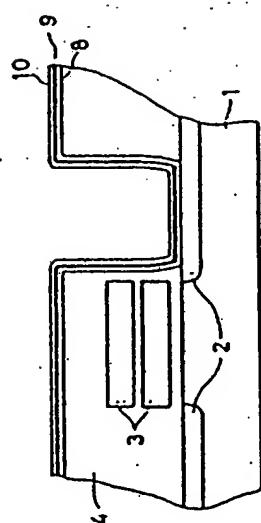


図 3